

⑨ 日本国特許庁 (JP)
⑩ 公開特許公報 (A)

⑪ 特許出願公開
昭59—182517

⑪ Int. Cl.³
H 01 L 21/20
G 01 N 27/00
H 01 L 21/263
21/84
29/78

識別記号

序内整理番号
7739—5F
6928—2G
7739—5F
7377—5F

⑫ 公開 昭和59年(1984)10月17日
発明の数 1
審査請求 未請求

(全 2 頁)

⑬ 半導体センサ

⑭ 特願 昭58—57221
⑮ 出願 昭58(1983)3月31日
⑯ 発明者 向井良一

川崎市中原区上小田中1015番地
富士通株式会社内

⑰ 出願人 富士通株式会社
川崎市中原区上小田中1015番地
⑱ 代理人 弁理士 松岡宏四郎

明細書

1. 発明の名称

半導体センサ

2. 特許請求の範囲

絶縁基板上にシリコンオキシナイトライド (SiON) 膜を介して半導体素子が設けられたことを特徴とする半導体センサ。

3. 発明の詳細な説明

(a) 発明の技術分野

本発明は半導体センサ、特に半導体素子を用いたセンサの構造に関する。

(b) 技術の背景

最近、光、温度、ガス、水质などを検出するセンサが活発に研究開発され、エレクトロニクス技術を駆使して微細な量まで定量的に測定できるようになってきている。

このようなセンサの素材としては、半導体、磁性体、誘電体、化学物質など色々な物質があるが、最も多く用いられているものは半導体で、あらゆるセンサが半導体を指向しているといつても過言

ではない。

(c) 従来技術と問題点

かような半導体センサは、勿論半導体技術の進歩によって微細加工が可能になり、且つ半導体素子の信頼性が著しく向上したため、その普及的効果によって発展してきたものであるが、センサは人間の感覚に代わって感応する先端部品であるから、出来る限りコンパクトな形状が望ましく、且つ強靭な材質でなければならない。

しかし、一般に半導体素子は半導体基板上に形成されており、その半導体基板は单結晶であるが、硬くて脆く、塑性（ねばり）に欠ける材質である。従つて、半導体センサを温度差が激しくて条件の悪い大気、あるいは同様環境の物体や液体に直接接触させて使用していると、半導体基板が使用中に破壊されることが起こる。

そのため、例えば溶液に浸漬して液中のpHを検出するイオンセンサは石英のような絶縁基板またはチフアイヤ基板 (SOS構造) 上に半導体素子を作成する方法が採られており、第1図は石英基

板上に設けたpH検出用のイオン感応型電界効果トランジスタ(FET)からなるイオンセンサの断面図である。図において、1は石英基板、2はFET、3はpH感応用五酸化タンタル膜を示す。

ところが、図示のように石英基板に直接FETを形成すると、基板は強烈で壊されないが、一方で石英基板とFETとが剥離する問題が生じる。

(a) 発明の目的

本発明の目的はこのような問題点を除去して素子が基板から剥離しない半導体センサを提供するものである。

(b) 発明の構成

その目的は、絶縁基板上にシリコンオキシナイトライド(SiON)膜を介して半導体素子が設けられた半導体センサによって達成することができる。

(c) 発明の実施例

以下、図面を参照して実施例によつて詳細に説明する。第2図は本発明にかかるイオンセンサの断面図、第3図は同平面図(透視図)を示しており、第2図は第3図のAA断面である。

図に示すように、石英基板1とFET2との間に膜厚0.5~1μのシリコンオキシナイトライド(SiON)膜4を介在させる。しかるのち、その上に五酸化タンタル(Ta₂O₅)膜3を被覆したFET2を形成すると、SiON膜は二酸化シリコン(SiO₂)膜のように剥れることがなく、また窒化シリコン(Si₃N₄)膜を用いる場合より界面導位密度を絶減できるので、厳しい環境条件に耐えうる高性能イオンセンサを実現することができる。

本実施例の形成方法の概要を説明すると、石英基板1上に化学気相成長(CVD)法でSiON膜4を被覆し、更にCVD法で多結晶シリコン膜を被覆して、その上からレーザ又は電子ビームのアーチによつて多結晶シリコン膜を単結晶化する。次いで、イオン注入レーソース、ドレインを形成してFET2とした後、SiO₂膜5、Si₃N₄膜6、更に膜厚数100~1000ÅのTa₂O₅膜3を被覆する。なお、7はソース、ドレインの導出電極(第3図参照)を示す。

このようにすれば、悪環境下においても破壊さ

れず十分に耐性のあるイオンセンサが得られる。

(d) 発明の効果

以上はイオンセンサの例であるが、本発明はその他のセンサにも適用できる構造で、この説明から明らかのように、本発明によれば半導体センサが長寿命化して、その信頼性を著しく向上することができるものである。

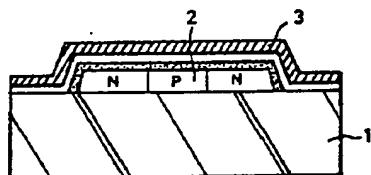
4. 図面の簡単な説明

第1図は従来のイオンセンサの断面図、第2図は本発明にかかるイオンセンサの断面図、第3図は同その平面図(透視図)である。

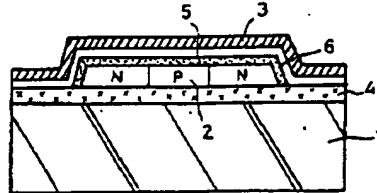
図中、1は石英基板、2は電界効果トランジスタ、3は酸化タンタル膜、4はシリコンオキシナイトライド膜を示している。

代理人 弁理士 松岡宏四郎

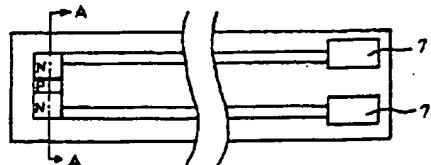
第1図



第2図



第3図



DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

01470917 **Image available**

SEMICONDUCTOR SENSOR

PUB. NO.: 59-182517 [JP 59182517 A]

PUBLISHED: October 17, 1984 (19841017)

INVENTOR(s): MUKAI RYOICHI

APPLICANT(s): FUJITSU LTD [000522] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 58-057221 [JP 8357221]

FILED: March 31, 1983 (19830331)

INTL CLASS: [3] H01L-021/20; G01N-027/00; H01L-021/263; H01L-021/84;
H01L-029/78

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 46.2
(INSTRUMENTATION -- Testing)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,
MOS)

JOURNAL: Section: E, Section No. 298, Vol. 09, No. 43, Pg. 28,
February 22, 1985 (19850222)

ABSTRACT

PURPOSE: To prevent a semiconductor element from peeling off an insulation substrate by forming the semiconductor element on the insulation substrate with a silicon oxynitride film inbetween.

CONSTITUTION: A silicon oxynitride (SiON) film 4 is provided between a quartz substrate 1 and an FET2. The FET2 covered by a tantalum pentaoxide (Ta₂O₅) film 3 is formed on the SiON film 4. The SiON film does not peel off like an SiO₂ film and the surface level density can be relieved compared to the case of applying an SiN₄ film. Therefore, a high performance sensor which is durable against severe environmental condition can be realized.

DIALOG(R)File 352:Derwent WPI

(c) 2001 Derwent Info Ltd. All rts. reserv.

004151189

WPI Acc No: 1984-296728/198448

Semiconductor sensor has chip formed on insulating substrate - has
silicon-oxynitride layer sandwiched between chip and substrate NoAbstract

Dwg 1-3/3

Patent Assignee: FUJITSU LTD (FUIT)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 59182517	A	19841017	JP 8357221	A	19830331	198448 B

Priority Applications (No Type Date): JP 8357221 A 19830331

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
-----------	------	--------	----------	--------------

JP 59182517	A	7
-------------	---	---

Title Terms: SEMICONDUCTOR; SENSE; CHIP; FORMING; INSULATE; SUBSTRATE;
SILICON; OXYNITRIDE; LAYER; SANDWICH; CHIP; SUBSTRATE; NOABSTRACT

Derwent Class: L03; S03; U11; U12

International Patent Class (Additional): G01N-027/00; H01L-021/20;

H01L-029/78

File Segment: CPI; EPI